

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160362

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H01L 27/108

(21)Application number : 03-349753

(71)Applicant : SONY CORP

(22)Date of filing : 10.12.1991

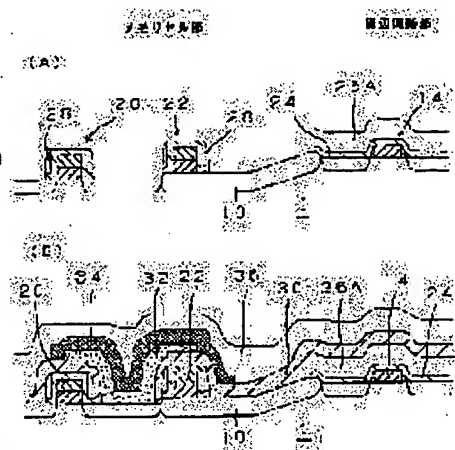
(72)Inventor : UMEBAYASHI HIROSHI

(54) MANUFACTURE OF STACKED DRAM

(57)Abstract:

PURPOSE: To improve the hydrogen diffusion in a memory cell part and the aluminum coverage on a contact hole part by a method wherein a silicon nitride film on the memory cell part and an insulating film on a peripheral circuit part are respectively removed.

CONSTITUTION: After a word line 10 is formed in a memory cell part (a) and a gate electrode 14 is formed in a peripheral circuit part (b), a silicon nitride film 24 is formed over the memory cell part (a) and the peripheral circuit part (b). After an insulating film 26A is formed on the silicon nitride film 24, the insulating film 26A and the silicon nitride film 24 on the memory cell part (a) are removed to form spacers on the side walls 28 of a word line 20. Then a storage electrode layer 32, a dielectric layer and a plate electrode layer 34 are formed. After that, the insulating film 26A on the peripheral circuit part (b) is removed by using the silicon nitride film 24 left on the peripheral circuit part (b) as an etching stopper. With this constitution, the hydrogen diffusion in the memory cell part and the aluminum coverage on the contact hole part of the peripheral circuit part can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

Searching PAJ

décision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-160362

(43) 公開日 平成5年(1993)6月25日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		8728-4M	H 0 1 L 27/10	3 2 5 C

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-349753

(22) 出願日 平成3年(1991)12月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 梅林 拓

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 スタック型DRAMの製造方法

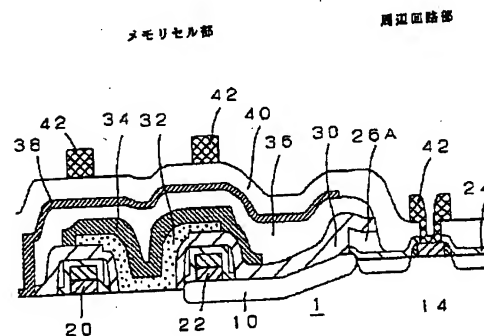
(57) 【要約】

【目的】 周辺回路部のコンタクトホール部においてアルミニウムカパレッジを良好なものとすることができ、且つ水素シンター処理時にメモリセル部において充分に水素を拡散させることができる、メモリセル部及び周辺回路部から成るスタック型DRAMの製造方法を提供する。

【構成】 (イ) メモリセル部にワード線を、そして周辺回路部にゲート電極を形成した後、メモリセル部及び周辺回路部の表面にシリコン窒化膜を形成する工程と、

(ロ) シリコン窒化膜上に絶縁膜を形成した後、メモリセル部上の絶縁膜及びシリコン窒化膜を除去してワード線の側壁にスペーサを形成する工程と、(ハ) 蓄積電極層、誘電体層及びプレート電極層を形成する工程と、

(ニ) 周辺回路部上に残されたシリコン窒化膜をエッチングストッパーとして用いて、周辺回路部上の絶縁膜をエッチングによって除去する工程、とから成る。



【特許請求の範囲】

【請求項1】メモリセル部及び周辺回路部から成るスタック型DRAMの製造方法であって、

(イ)メモリセル部にワード線を、そして周辺回路部にゲート電極を形成した後、メモリセル部及び周辺回路部の表面にシリコン窒化膜を形成する工程と、

(ロ)シリコン窒化膜上に絶縁膜を形成した後、メモリセル部上の絶縁膜及びシリコン窒化膜を除去してワード線の側壁にスペーサを形成する工程と、

(ハ)蓄積電極層、誘電体層及びプレート電極層を形成する工程と、

(ニ)周辺回路部上に残されたシリコン窒化膜をエッチングストッパーとして用いて、周辺回路部上の絶縁膜をエッチングによって除去する工程、

とから成ることを特徴とするスタック型DRAMの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スタック型DRAMの製造方法に関する。

【0002】

【従来の技術】現在、DRAMメモリセルはスタック型が主流である。メモリセル部と周辺回路部とを有する従来のスタック型DRAMの製造においては、メモリセル部にプレート電極層（第3のポリシリコン層）を形成した後、メモリセル部のプレート電極層上及び周辺回路部の第1の層間絶縁層上にシリコン窒化膜を堆積させる。次に、シリコン窒化膜上に第2の層間絶縁層を形成する。そしてかかるシリコン窒化膜をストッパーとして、周辺回路部上の第2の層間絶縁層を除去するためにウェットエッチングを行っている。また、周辺回路部のかかるウェットエッチングの後、周辺回路部にアルミニウム配線のためのコンタクトホールを形成し、次いで水素シンター処理を行う。この水素シンター処理の目的は、メモリセル部のLOCOS構造におけるパズピークのダンプリングボンドを水素(H)と結合させることによってリーク電流を減少させることにある。

【0003】

【発明が解決しようとする課題】メモリセル部のプレート電極層（第3のポリシリコン層）上にシリコン窒化膜が残存すると、水素シンター処理を行っても水素がメモリセル部に充分拡散されず、メモリセルのデータ保持特性が悪化するという問題がある。このため、図4の

(A)に示すように、メモリセル部のプレート電極層34上にCVDにてSiO₂膜50を形成し、その上にシリコン窒化膜を堆積させた後、レジストのパターニングを行いリアクティブ・イオン・エッチング(RIE)にてメモリセル部のシリコン窒化膜を除去し、周辺回路部上のみシリコン窒化膜24を残す必要がある。尚、図4の(A)中、30は第1の層間絶縁層、32は蓄積電

極層、36は第2の層間絶縁層である。このようなメモリセル部上のシリコン窒化膜を除去するといった煩雑な工程は除くことが好ましい。

【0004】また、シリコン窒化膜24を周辺回路部のエッチング時のストッパーとして用いると、図4の(B)に示すように、周辺回路部のアルミニウム配線のためのコンタクトホール形成予定部52には第1の層間絶縁層30が残存する。その結果、かかるコンタクトホール部のアルミニウムカバレッジが良好ではないという問題を有する。

【0005】従って、本発明の目的は、周辺回路部のコンタクトホール部においてアルミニウムカバレッジを良好なものとすることができ、且つ水素シンター処理時にメモリセル部において充分に水素を拡散させることができる、メモリセル部及び周辺回路部から成るスタック型DRAMの製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記の目的は、(イ)メモリセル部にワード線を、そして周辺回路部にゲート電極を形成した後、メモリセル部及び周辺回路部の表面にシリコン窒化膜を形成する工程と、(ロ)シリコン窒化膜上に絶縁膜を形成した後、メモリセル部上の絶縁膜及びシリコン窒化膜を除去してワード線の側壁にスペーサを形成する工程と、(ハ)蓄積電極層、誘電体層及びプレート電極層を形成する工程と、(ニ)周辺回路部上に残されたシリコン窒化膜をエッチングストッパーとして用いて、周辺回路部上の絶縁膜をエッチングによって除去する工程、とから成ることを特徴とする本発明のスタック型DRAMの製造方法によって達成することができる。

【0007】

【作用】本発明のスタック型DRAMの製造方法においては、上記(ロ)の工程においてメモリセル部上のシリコン窒化膜は除去される。従って、後の工程で水素シンター処理を行うときに、シリコン窒化膜による水素拡散の妨害を無くすることができる。また、上記(ニ)の工程において、周辺回路部上の絶縁膜はエッチングによって除去され、この時点では、周辺回路部のコンタクトホール形成予定部分にはシリコン窒化膜しか残存しない。従って、後の工程でアルミニウム配線層を形成するとき、かかるコンタクトホール部におけるアルミニウムカバレッジが良好となる。

【0008】

【実施例】以下、本発明を実施例に基づき、図1乃至図3を参照して説明する。

【0009】シリコン基板1にLOCOS構造から成る素子分離酸化膜10を形成した後、第1のポリシリコン層12をシリコン基板上に形成し、次いで周辺回路部のみパターニングを行いゲート電極14を形成する(図1の(A)参照)。尚、図1ではフォトリソグラフィにお

ける焦点深度を確保するためにリセス構造を採用している。

【0010】次に、周辺回路部のゲート電極14にLDD (Lightly Doped Drain) 構造を形成した後、第1のポリシリコン層12上に第1のSiO₂膜16を堆積させる。そして、周辺回路部の第1のSiO₂膜16をエッチングして周辺回路部のゲート電極にサイドウォール18を形成する(図1の(B)参照)。同時に、メモリセル部の第1のSiO₂膜16及び第1のポリシリコン層12をパターニングし、メモリセル部にワード線20及びオフセット部22を形成する。尚、オフセット部とは、後にセルフアライメント法にて蓄積電極層のためのコンタクトホールを形成する場合に必要とされるポリシリコン層/SiO₂膜を指す。

【0011】層間絶縁層の形成、及びソース・ドレイン領域となる部分のシリコン基板への酸化膜の形成を行った後、イオン注入によってソース・ドレイン領域を形成する。

【0012】次に、シリコン基板全面に減圧CVDにてシリコン窒化膜24を堆積させる(図1の(C)参照)。このシリコン窒化膜24が後の工程でウェットエッチングにて周辺回路部上の絶縁膜を除去する際のエッチングストッパーとしての役割を果たす。尚、従来のDRAM製造方法においては、かかるシリコン窒化膜の形成は、プレート電極層(第3のポリシリコン層)形成後に行われる。

【0013】次に、シリコン窒化膜の上にSiO₂膜から成る絶縁膜26(以下、第2のSiO₂膜ともいう)を堆積させる(図1の(D)参照)。そしてメモリセル部のみにリアクティブ・イオン・エッチング(RIE)処理を行い、ワード線及びオフセット部の側壁にサイドウォール28を形成する(図2の(A)参照)。このとき、メモリセル部に形成されたワード線20及びオフセット部22以外のシリコン窒化膜は除去される。これによって、アルミニウム配線のためのコンタクトホール部形成後に行われる水素拡散が妨げられなくなる。また、従来のDRAM製造方法のように、シリコン窒化膜の独立した除去工程は不要となる。

【0014】一方、周辺回路部に堆積された第2のSiO₂膜26Aは除去されない(図2の(A)参照)。かかる第2のSiO₂膜26Aは、後の工程で蓄積電極層(第2のポリシリコン層)及びプレート電極層(第3のポリシリコン層)の一部分をRIEにてエッチングするときのストッパーとしての役割を果たす。また、かかる第2のSiO₂膜26Aは後の工程でウェットエッチングによって除去される。

【0015】PSGから成る第1の層間絶縁層30を全面に堆積させた後、蓄積電極層(第2のポリシリコン層)の電気的接続のために、第1の層間絶縁層30にセルフアライメント法にてコンタクトホールを形成す

る。

【0016】その後、通常の方法にて、蓄積電極層(第2のポリシリコン層)32、キャパシタ層(図示せず)及びプレート電極層(第3のポリシリコン層)34を形成する。蓄積電極層32及びプレート電極層34の形成はリアクティブ・イオン・エッチングにて行われるが、このとき、周辺回路部上に形成された絶縁膜(第2のSiO₂膜)26Aはエッチングストッパーとしての役割を果たす。

【0017】次いで、プレート電極層上にBPSGから成る第2の層間絶縁層36を堆積させてかかる第2の層間絶縁層36をリフロー処理し平坦化する(図2の(B)参照)。

【0018】次にレジストパターンを形成して、周辺回路部上に形成された絶縁膜(第2のSiO₂膜)26A及びその上に形成された各種の層をウェットエッチングにより除去する。これによって、周辺回路部には極めて薄いシリコン窒化膜24しか残らない(図2の(C)参照)。シリコン窒化膜24はエッチングストッパーとしての役割を果たす。

【0019】次いで、第4のポリシリコン層(ビット線)38を形成した後、BPSGから成る第3の層間絶縁層40を堆積させて、アルミニウム配線用のコンタクトホール部を開孔し、リフロー処理を施す。次いで、水素シンター処理を行った後、アルミニウム配線42を形成する(図3参照)。周辺回路部のコンタクトホール部には、ほぼ第3の層間絶縁層40しか存在しないので、良好なアルミニウムカバレッジ形状を得ることができる。

【0020】以上、好ましい実施例に基づき本発明を説明したが、本発明はかかる実施例に限定されるものではない。

【0021】例えば、第1のポリシリコン層12の代わりに、ポリサイド層を使用することができる。第1のSiO₂膜16あるいは絶縁膜(第2のSiO₂膜)26に代えて、TEOSを使用することができる。PSGから成る第1の層間絶縁層30を、PSGとSiO₂の複合膜にて置き換えることができる。第2の層間絶縁層36あるいは第3の層間絶縁層40は、BPSGに限定されるものではなく、いかなる低融点リフロー膜をも使用することができる。あるいは又、SiO₂層の所謂レジストエッチバックによって形成してもよい。

【発明の効果】

【0022】本発明のスタック型DRAMの製造方法によれば、メモリセル部の大部分からシリコン窒化膜が除去される。従って水素シンター処理時、メモリセル部への水素拡散が妨げられることはなく、メモリセル部のデータ保持特性を改善することができる。また、メモリセル部のシリコン窒化膜の大部分は、メモリセル部におけるサイドウォール形成時に除去される。従って、従来

(4)

6

5

の製造方法で行われている、プレート電極層（第3のポリシリコン層）上にシリコン窒化膜を形成した後、メモリセル部のシリコン窒化膜を除去するという工程が不要であり、DRAMの製造工程の簡略化を図ることができる。

【0023】また、周辺回路部のコンタクトホール部には、ほぼ第3の層間絶縁層しか存在しないので、良好なアルミニウムカバレッジ形状を得ることができる。

【図面の簡単な説明】

【図1】本発明のスタック型DRAMの製造方法の各工程を示すための、DRAMの模式的な一部断面図である。

【図2】図1に引き続き、製造方法の各工程を示すための、DRAMの模式的な一部断面図である。

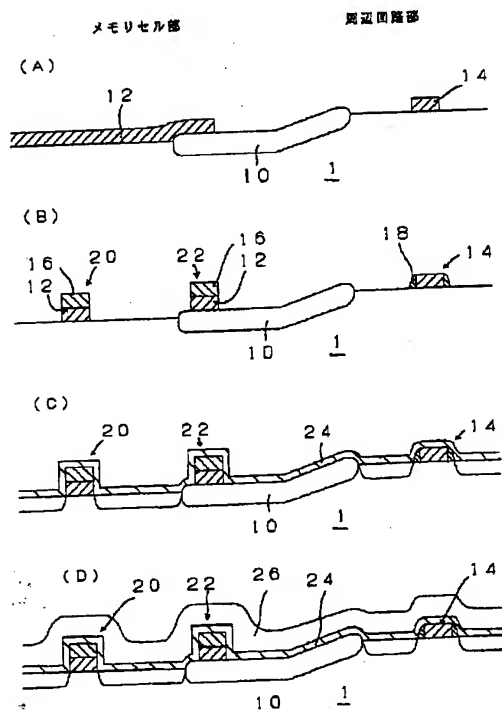
【図3】本発明の製造方法によって得られたDRAMの模式的な一部断面図である。

【図4】従来のDRAMの製造方法を示す、DRAMの模式的な断面図である。

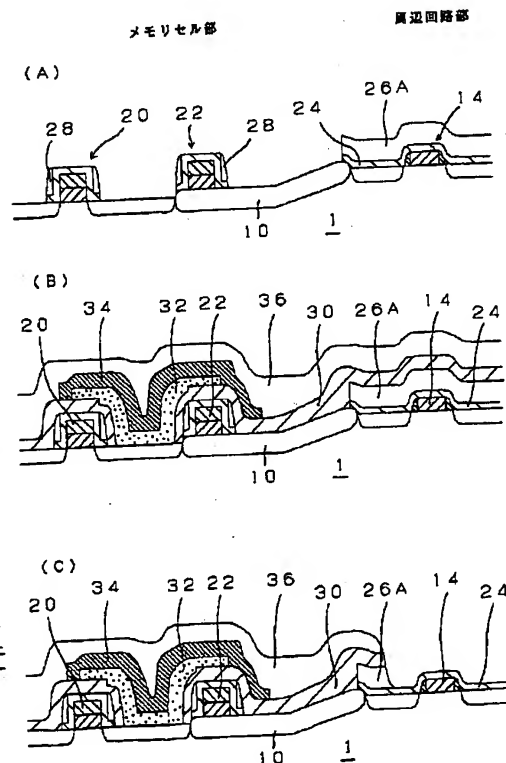
【符号の説明】

- 1 シリコン基板
- 12 第1のポリシリコン層
- 14 ゲート電極
- 16 第1のSiO₂膜
- 18 ゲート電極のサイドウォール
- 20 ワード線
- 22 オフセット部
- 24 シリコン窒化膜
- 26, 26A 絶縁膜（第2のSiO₂膜）
- 28 ワード線及びオフセット部のサイドウォール
- 30 第1の層間絶縁層
- 32 蓄積電極層
- 34 プレート電極層
- 36 第2の層間絶縁層
- 38 第4のポリシリコン層
- 40 第3の層間絶縁層
- 42 アルミニウム配線

【図1】



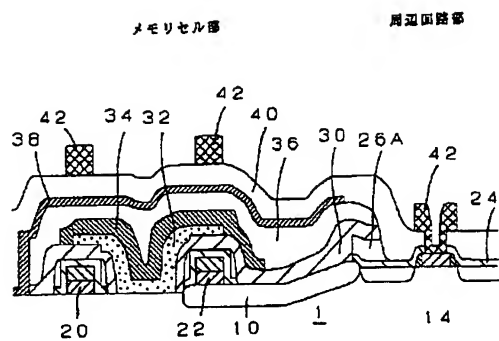
【図2】



(5)

特開平5-160362

【図3】



【図4】

